



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0043627
Application Number

출 원 년 월 일 : 2003년 06월 30일
Date of Application JUN 30, 2003

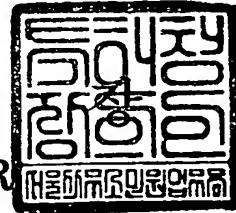
출 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0040
【제출일자】	2003.06.30
【발명의 명칭】	반도체소자의 제조방법
【발명의 영문명칭】	Method of manufacturing in semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	곽노열
【성명의 영문표기】	KWAK, Noh Yeal
【주민등록번호】	700114-1403116
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 109-1401
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	14 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	6 항 301,000 원
【합계】	330,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체소자의 제조방법에 관한 것으로, 본 발명의 사상은 반도체기판에 제1 이온으로 이온주입공정을 수행하여 제1 웨이영역을 형성한 후 상기 제1 이온보다 매스가 큰 제2 이온으로 이온주입공정을 수행하여 상기 형성된 제1 웨이영역에 제2 웨이영역을 형성하는 단계 및 상기 결과물에 어닐공정을 수행하여 웨이영역을 형성하는 단계를 포함한다. 따라서 제1 웨 및 제2 웨이영역의 형성후 어닐공정을 수행함으로써, 이후 수행할 산화공정과 같은 고온열처리공정으로 인해 발생되는 TED현상을 방지할 수 있고, 매스가 큰 이온만이 주입된 종래의 소스/드레인 영역보다 이온의 활성비가 증가하게 된다.

【대표도】

도 4

【색인어】

웨이영역, TED 현상



1020030043627

출력 일자: 2003/10/13

【명세서】

【발명의 명칭】

반도체소자의 제조방법(Method of manufacturing in semiconductor device)

【도면의 간단한 설명】

도 1 내지 도4는 본 발명의 바람직한 일실시예에 따른 반도체소자의 웨이퍼 형성방법을 설명하기 위한 단면도들이다.

도면의 주요부분에 대한 부호의 설명

10: 반도체기판 12: 스크린 산화막

14: 제1 웨이퍼 16: 제2 웨이퍼

PR: 포토레지스트 패턴 C: 삼중웨이퍼

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<6> 본 발명은 반도체소자의 제조방법에 관한 것으로, 더욱 상세하게는 웨이퍼 형성시 이 영역에 주입된 이온의 활성화를 최대한으로 유지하면서 동시에 웨이퍼의 이온에 발생하는 TED(Transient Enhanced Diffusion)현상을 억제할 수 있도록 하는 반도체소자의 제조방법에 관한 것이다.

<7> 최근 반도체소자의 형성에 있어서, 고온열처리를 통한 공정이 증가하고 있는 데, 상기 고온열처리 공정을 수행하는 동안 반도체기판을 포함한 소자형성을 위한 영역에 주입된 이온은 확산하게 되고, 이는 소자의 특성을 저하시키고 있다.

<8> 특히, 플래시 메모리소자의 플로팅 게이트전극 형성 전 활성영역 내에는 웰영역을 형성하는 이온을 주입하는 데, 상기 웰영역을 형성하는 이온은 이온주입공정시 고에너지에 의해 진행됨으로써 발생하는 반도체기판의 손상을 최소화하고, 웰영역에 주입된 이온의 활성비(activation ratio: 반도체기판에 주입된 이온과 실리콘과의 결합정도)를 최대한으로 유지할 수 있도록 해야 한다.

<9> 그러나 상기와 같은 조건을 만족시킬 수 있도록 형성된 웰영역의 이온은, 이후 수행하는 고온열처리공정으로 인해 다른 막질 예를 들어, 소자분리막의 산화막으로 침투하게 되어 소자에 주입된 이온들은 TED(Transient Enhanced Diffusion)현상이 발생하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<10> 상술한 문제점을 해결하기 위한 본 발명의 목적은 웰영역 형성시 이 영역에 주입된 이온의 활성화를 최대한으로 유지하고 상기 이온주입공정시 반도체기판의 손상을 최소화하면서 동시에, 웰영역의 이온에 발생하는 TED(Transient Enhanced Diffusion)현상을 억제할 수 있도록 하는 반도체소자의 제조방법을 제공함에 있다.



【발명의 구성 및 작용】

<11> 상술한 목적을 달성하기 위한 본 발명의 사상은 반도체기판에 제1 이온으로 이온주입공정을 수행하여 제1 웨이영역을 형성한 후 상기 제1 이온보다 매스가 큰 제2 이온으로 이온주입공정을 수행하여 상기 형성된 제1 웨이영역에 제2 웨이영역을 형성하는 단계 및 상기 결과물에 어닐공정을 수행하여 웨이영역을 형성하는 단계를 포함한다.

<12> 상기 제1 웨이영역은 고에너지 이온주입기를 이용하여 인(P)이온을 500~ 3000KeV 정도의 에너지에서 1E11~ 1E14 ion/cm² 정도의 도즈량으로 3~ 13°정도 틸트(tilt)되도록 하여 형성하는 것이 바람직하다.

<13> 상기 제2 웨이영역은 중전류 이온주입기를 이용하여 상기 제1 웨이영역을 형성하는 이온보다 매스가 큰 이온인 비소(As)이온을 100~ 300KeV 정도의 에너지에서 1E11~ 1E14 ion/cm² 정도의 도즈량으로 3~ 13°정도 틸트되도록 하여 형성하는 것이 바람직하다.

<14> 상기 어닐공정은 900~ 1000°C 정도의 온도 범위에서 10~ 60sec 시간동안, N₂ 또는 H₂ 가스 분위기에서 수행하는 RTP 공정 또는 900~ 1100°C의 온도에서 10~ 60min 시간동안, N₂ 또는 H₂ 가스분위기에서 수행하는 퍼니스공정 중 어느 하나로 수행하는 것이 바람직하다.

<15> 상기 웨이영역이 형성된 상기 반도체기판에 문턱전압 조절용 이온이 주입된 영역을 형성한 후, 상기 반도체기판 상부에 터널산화막, 플로팅게이트전극, 유전체막, 콘트롤게이트전극을 형성하는 단계를 더 포함하는 것이 바람직하다.

<16> 상기 웨이영역의 형성이전에 상기 제1 및 제2 웨이영역 형성을 위한 이온주입공정에 대한 손상을 억제하기 위한 버퍼층의 기능을 하는 스크린산화막을 형성하는 단계를 더 포함하는 것이 바람직하다.



<17> 이하, 첨부 도면을 참조하여 본 발명의 실시 예를 상세히 설명한다. 그러나 본 발명의 실시 예들은 여러 가지 다른 형태로 변형될 수 있지만 본 발명의 범위가 아래에서 상술하는 실시 예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시 예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해 제공되어지는 것이다. 따라서, 도면에서의 막의 두께 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한 어떤 막이 다른 막 또는 반도체 기판의 '상'에 있다 또는 접촉하고 있다 라고 기재되는 경우에, 상기 어떤 막은 상기 다른 막 또는 반도체기판에 직접 접촉하여 존재할 수 있고, 또는 그 사이에 제 3의 막이 개재되어질 수도 있다.

<18> 도 1 내지 도 4는 본 발명의 바람직한 일실시예에 따른 반도체소자의 웨이팅 형성방법을 설명하기 위한 단면도들이다.

<19> 도 1을 참조하면, 반도체기판(10) 상부 전면에 스크린산화막(11)을 형성한다. 상기 반도체기판(10)은 P형 트랜지스터가 형성되는 영역(이하는 'PMOS영역'이라 칭함) 및 N형 트랜지스터가 형성되는 영역(이하는 'NMOS영역'이라 칭함)으로 구분 정의되어 있는 데, 본 발명에서는 PMOS영역의 웨이팅 형성에 대해 구체적으로 설명하기로 한다.

<20> 상기 스크린 산화막(미도시)은 이후 수행하는 이온주입공정에 대한 손실을 저하시키기 위한 버퍼층의 기능과 이온 도편트의 채널링방지를 위해 형성한다. 이때 스크린 산화막(11)은 750~800°C 정도의 온도에서 50~70Å 정도의 두께로, 습식산화방식으로 형성할 수 있다.

<21> 도 2를 참조하면, 상기 결과물의 소정영역에 포토레지스트 패턴(PR)을 형성하고 이를 이온주입용 마스크로 상기 반도체기판(10)에 이온주입공정을 수행하면, 제1 웨이팅(14)을 형성 한다.

<22> 이때 제1 웨이팅(14)을 형성하기 위한 이온주입공정은, 고에너지 이온주입기를 이용하여 인(P)이온을 500~ 3000KeV 정도의 에너지에서 1E11~ 1E14 ion/cm² 정도의 도즈량으로 3~ 13°정도 틸트(tilt)되도록 하여 수행한다.

<23> 도 3을 참조하면, 상기 형성된 제1 웨이팅(14)에 상기 포토레지스트 패턴(PR)을 이온주입용 마스크로 이온주입공정을 수행하여 제2 웨이팅(16)을 형성한다. 이때, 제2 웨이팅(16)을 형성하기 위한 이온주입공정은, 중전류 이온주입기를 이용하여 상기 제1 웨이팅(14)을 형성하는 인(P)이온(사이즈가 31)보다 매스(mass)가 큰 이온인 비소(As)이온(사이즈가 75)을 100~300KeV 정도의 에너지에서 1E11~ 1E14 ion/cm² 정도의 도즈량으로 3~ 13°정도 틸트되도록 하여 수행한다. 이어서 상기 포토레지스트 패턴(PR)을 제거하는 공정을 수행한다.

<24> 도 4를 참조하면, 상기 결과물 전면에 어닐(anneal)공정을 수행하면, 상기 제1 웨이팅(14)의 중심부에 제2 웨이팅(16)이 위치하게 되는 삼중웨이팅(C)을 형성한다. 상기 제1 웨 및 제2 웨이팅의 형성후 어닐공정을 수행하면, 상기 소스/드레인영역의 농도가 증가하게 되어 주입된 이온의 확산속도를 감소시킴으로써 이후 수행할 산화공정과 같은 고온열처리공정으로 인해 발생되는 TED현상을 방지할 수 있다. 또한 매스가 큰 이온과 작은 이온이 한 영역에 주입되어 혼합되기 때문에 매스가 큰 이온만이 주입된 종래의 소스/드레인영역보다 이온의 활성비가 증가하게 된다.

<25> 또한, 상기 어닐공정의 수행으로 제1 및 제2 웨이팅을 형성하기 위한 고에너지의 공정조건에서 수행하는 상기 이온주입공정으로 발생하는 반도체기판의 손상 또는 매스가 큰 이온의 주입을 통해 발생한 상기 반도체기판의 손상을 보상받을 수 있게 된다.

<26> 상기 단계에서 사용하는 어닐공정에는 RTP(Rapid thermal process)어닐공정 또는 퍼니스(furnace)어닐공정이 있다. RTP 어닐공정으로 진행할 때는 900~ 1000°C의 온도 범위내에서 10~



60sec 시간동안, N₂ 또는 H₂ 가스 분위기에서 수행하고, 퍼니스 어널공정으로 진행할 때는 900~ 1100°C의 온도범위, 10~ 60min 시간동안, N₂ 또는 H₂ 가스분위기에서 수행한다. 이어서 상기 어널공정이후 스크린산화막(12)을 제거한다.

<27> 상기 형성된 웨일영역에 이온주입공정을 수행하여 문턱전압 조절용 이온이 형성된 영역을 형성하고, 상기 영역이 형성된 반도체기판에 터널산화막, 플로팅게이트전극, 유전체막, 콘트롤 게이트전극을 형성하여 플래시 메모리소자의 형성을 완료한다.

<28> 본 발명의 일실시예는 상기 제1 웨일 및 제2 웨일영역의 형성후 어널공정을 수행함으로써, 이후 수행할 산화공정과 같은 고온열처리공정으로 인해 발생되는 TED현상을 방지할 수 있고, 매스가 큰 이온만이 주입된 종래의 소스/드레인영역보다 이온의 활성비가 증가하게 된다.

<29> 또한, 상기 어널공정의 수행으로 인해, 제1 및 제2 웨일영역을 형성하기 위해 수행하는 상기 이온주입공정으로 발생하는 반도체기판의 손상 또는 매스가 큰 이온의 주입을 통해 발생한 상기 반도체기판의 손상을 보상받을 수 있게 된다.

【발명의 효과】

<30> 이상에서 살펴본 바와 같이 본 발명에 의하면, 제1웨일 및 제2 웨일영역의 형성후 어널공정을 수행함으로써, 이후 수행할 산화공정과 같은 고온열처리공정으로 인해 발생되는 TED현상을 방지할 수 있고, 매스가 큰 이온만이 주입된 종래의 소스/드레인영역보다 이온의 활성비가 증가하게 되는 효과가 있다.

<31> 또한, 상기 어닐공정의 수행으로 인해, 제1 및 제2 웨이영역을 형성하기 위해 수행하는 상기 이온주입공정으로 발생하는 반도체기판의 손상 또는 매스가 큰 이온의 주입을 통해 발생한 상기 반도체기판의 손상을 보상받을 수 있게 되는 효과가 있다.

<32> 본 발명은 구체적인 실시 예에 대해서만 상세히 설명하였지만 본 발명의 기술적 사상의 범위 내에서 변형이나 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이며, 그러한 변형이나 변경은 본 발명의 특허청구범위에 속한다 할 것이다.



1020030043627

출력 일자: 2003/10/13

【특허청구범위】

【청구항 1】

반도체기판에 제1 이온으로 이온주입공정을 수행하여 제1 웨이영역을 형성한 후 상기 제1 이온보다 매스가 큰 제2 이온으로 이온주입공정을 수행하여 상기 형성된 제1 웨이영역에 제2 웨이영역을 형성하는 단계; 및

상기 결과물에 어닐공정을 수행하여 웨이영역을 형성하는 단계를 포함하는 반도체소자의 제조방법.

【청구항 2】

제1 항에 있어서, 상기 제1 웨이영역은 고에너지 이온주입기를 이용하여 인(P)이온을 500~ 3000KeV 정도의 에너지에서 1E11~ 1E14 ion/cm² 정도의 도즈량으로 3~ 13° 정도 틸트(tilt)되도록 하여 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 3】

제1 항에 있어서, 상기 제2 웨이영역은 중전류 이온주입기를 이용하여 상기 제1 웨이영역을 형성하는 이온보다 매스가 큰 이온인 비소(As)이온을 100~ 300KeV 정도의 에너지에서 1E11~ 1E14 ion/cm² 정도의 도즈량으로 3~ 13° 정도 틸트되도록 하여 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 4】

제1 항에 있어서, 상기 어닐공정은

900~ 1000°C 정도의 온도 범위에서 10~ 60sec 시간동안, N₂ 또는 H₂ 가스 분위기에서 수행하는 RTP 공정 또는 900~ 1100°C의 온도에서 10~ 60min 시간동안, N₂ 또는 H₂ 가스분위기에서 수행하는 퍼니스공정 중 어느 하나로 수행하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 5】

제1 항에 있어서,

상기 웨이팅역이 형성된 상기 반도체기판에 문턱전압 조절용 이온이 주입된 영역을 형성한 후, 상기 반도체기판 상부에 터널산화막, 플로팅게이트전극, 유전체막, 콘트롤게이트전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

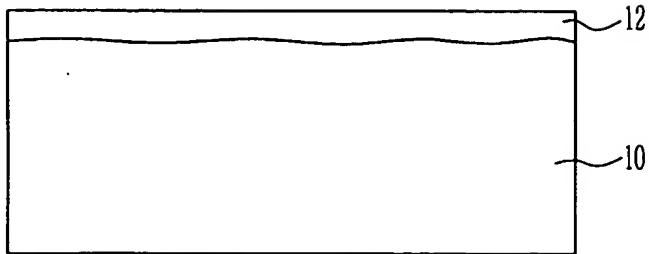
【청구항 6】

제1 항에 있어서,

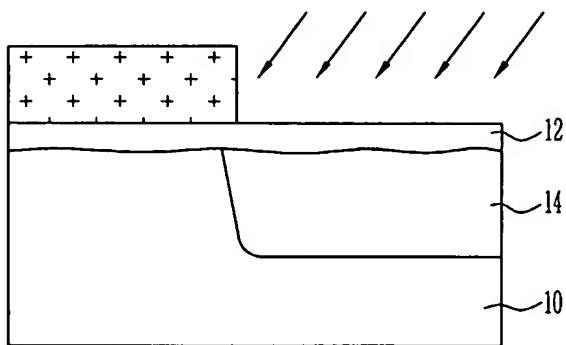
상기 웨이팅역의 형성이전에 상기 제1 및 제2 웨이팅역 형성을 위한 이온주입공정에 대한 손상을 억제하기 위한 버퍼층의 기능을 하는 스크린산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

【도면】

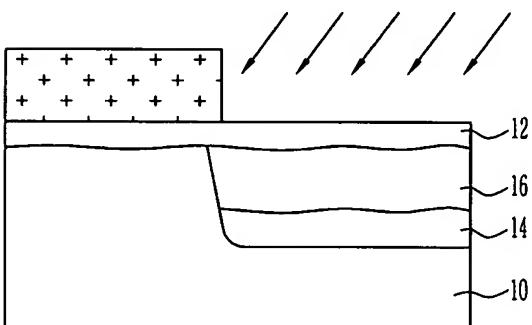
【도 1】



【도 2】



【도 3】



1020030043627

출력 일자: 2003/10/13

【도 4】

